

Family list
2 family member for:
JP7297404
Derived from 1 application.

1 MANUFACTURE OF THIN FILM TRANSISTOR

Publication Info: JP3406681B2 B2 - 2003-05-12
JP7297404 A - 1995-11-10

Data supplied from the esp@cenet database - Worldwide

Best Available Copy

MANUFACTURE OF THIN FILM TRANSISTOR

Patent number: JP7297404
 Publication date: 1995-11-10
 Inventor: FUKUDA KAICHI
 Applicant: TOKYO SHIBAURA ELECTRIC CO
 Classification:
 - International: G02F1/136; H01L21/31; H01L21/336; H01L29/786;
 G02F1/13; H01L21/02; H01L29/66; (IPC1-7):
 H01L29/786; G02F1/136; H01L21/31

- europacpat

Application number: JP19940084223 19940422

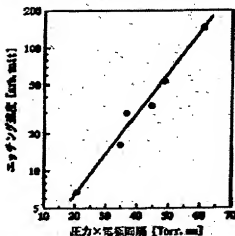
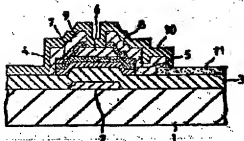
Priority number(s): JP19940084223 19940422

Report a data error here

Abstract of JP7297404

PURPOSE: To make etching rate of a channel protective film faster than that of a gate insulating layer by adjusting the product of the gas pressure at the time of forming a channel protective film and the interval between discharge electrodes to a specific multiple of the product of the gas pressure at the time of forming the gate insulating layer and the interval between discharge electrodes.

CONSTITUTION: When the SINX film 7 of a gate-insulating-layer 4 is formed, the gas pressure P_g and interval D_g between discharge electrodes are respectively adjusted to 3.5 Torr and 14 mm and, when the SIN film of a channel protective layer 6 is formed, the gas pressure P_c and interval D_c between electrodes are respectively adjusted to 2.5 Torr and 14 mm. Thus the product ($P_c \times D_c = 60 \text{ Torr} \cdot \text{mm}$) of the gas pressure P_c and interval D_c at the time of forming the SIN film of the channel protective layer 6 is made about 1.2 times (1.1-6 times) larger than that ($P_g \times D_g = 49 \text{ Torr} \cdot \text{mm}$) of the gas pressure P_g and interval D_g at the time of forming the SIN film of the gate insulating layer 4. From the relation between the product of the gas pressure and interval of discharge electrodes, the etching rate of the SINX film 7 can be made faster than that of the SINX film 4.



Data supplied from the esp@cenet database - Worldwide

【特許請求の範囲】

【請求項1】 プラズマCVD法によりゲート絶縁層、半導体活性層および上記ゲート絶縁層と同一成分のチャネル保護層を積層成膜する薄膜トランジスタの製造方法において、

上記ゲート絶縁層、半導体活性層およびチャネル保護層を同一反応室で連続的に積層成膜し、上記チャネル保護層を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 $P_g \cdot D_g$ を上記ゲート絶縁層を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 $P_g \cdot D_g$ の1.1倍ないし6倍にしたことを特徴とする薄膜トランジスタの製造方法。

【請求項2】 プラズマCVD法によりゲート絶縁□、
半導体活性層および上記ゲート絶縁層と同一成分のチャ
ネル保護層を積層成膜する薄膜トランジスタの製造方法
において、

上記ゲート絶縁膜、半導体活性層およびチャネル保護膜を同一反応室で連続的に積層成膜し、上記チャネル保護膜を成膜するときのガス圧力 P_c を上記ゲート絶縁膜を成膜するときのガス圧力 P_g よりも 0.05 Torr ないし 4 Torr 高としたことを特徴とする薄膜トランジスタの製造方法。

【究明の詳細な図解】

100018

【産業上の利用分野】この発明は、アクティブマトリックス型液晶表示素子のスイッチング素子などに用いられる薄膜トランジスタの製造方法に関する。

100021

従来の技術¹⁾は液晶を用いた表示素子で、テレビ受像機やグラフィックディスプレイなどを指向した大画面、高輝度の点から、たとえラビングによる配向処理が施された2枚の基板を、配向方向が互いに90°をなすように平行に平行に配向し、この向基板間にメタックアクリルの液晶組成物を挟持させた、いわゆるツイストネマチック型(TN型)のアクティブマトリックス型液晶表示素子²⁾が注目されている。このメタックアクリル型液晶表示素子では、クロストークのない高コントラストの表示が得られるように各画素の駆動および制御を半導体スイッチング素子³⁾でこの方式が採用されている。その半導体スイッチング素子としては、透過型の表示が可能である、また大画面化が容易であるなどの理由から、透明絶縁基板上に形成された非晶質シリコン(a-Si)系の有機ELラングスタム(TFT)が用いられている。しかもこのa-Si系のTFTには、半導体活性層であるa-Si膜を挟んで、下層にゲート電極、上層にソース電極およびドレイン電極の配置された逆スタガード構造が多く用いられている。

【0003】この逆スタガード構造 a-Si 系の TFT として、ゲート絶縁層である窒化シリコン (SiN₂) 膜上に順次半導体活性層である a-Si 膜、チャネル保

積層であるSi₃N₄膜、低抵抗半導体層であるP⁺ドーパ α -Si膜を積層し、これらゲート絶縁層のSi₃N₄膜、 α -Si膜、チャネル保護層のSi₃N₄膜、P⁺ドーパ α -Si膜を挟んで、下層にゲート電極、上層にソース電極およびドレイン電極の配設された α -Si膜のTFTがなる。

【0004】このa-Si系のTFTのゲート絶縁□のSiN膜、a-Si膜、チャネル保護膜のSiN膜、Pドーパa-Si膜は、従来、一度に6~8枚のガラス絶縁基板をトレイに積□し、このトレイを搬送して連続処理するインライン式プラズマCVD装置により成膜されている。

[0005]

【発明が解決しようとする課題】 上述のように、アクティブマトリクス型液晶表示装置で、半導体スイッチング素子としてa-Si系のTFTが用いられている。従って、このa-Si系のTFTのゲート絶縁膜のS1、S2、P、P-a-Si、チャネル保護膜のS1、S2、P、P-a-Si、順なだけ、一般に3〜8枚のガラス絶縁膜を指差したレイを設け、互に接続するインライン式プラズマCVD装置により形成されている。しかしこのインライン式プラズマCVD装置は、生産性に劣っているが、装置が巨大で大きな開口スペースが必要である。また搬送トレイに欠けが付く。この付損が原因でパーティクルの原因となり、歩留が低下する。さらに、装置内腔に付着した塵の脱が防止するために、定期的に装置の換気を停止して冷却し、クリーニングを要することが必要である。そのため、装置の稼働率が低いなどの問題がある。

【0006】ところで、半導体素子製造の分野では、トレイを用いることなく基板のみを搬送して、一つの反応室で1枚づつ基板を処理する枚置プロセスが主流となっている。通常の枚置プロセスでは、成膜とプラズマエッチングによる反応室のクリーニングとを交互に周回的にこなしている。

【0007】そこで、近年、大盛ガラス板の製造設備を用いるA-Si系のTFTの製造に、この放電プロセスを導入する開発が進められている。この放電プロセスで膜、その処理装置（放電式プラズマCVD装置）を小型化でき、装置スペースを小さくすることが可能である。またトレイを用いることなく基板のみを搬送するもので、パーティクルの発生を抑制できる。さらにプラズマエッジングにより反汚染をクリーニングすることができ、パーティクルを低減できるばかりでなく、装置の稼働率の大幅な向上が図られる。

【0008】ところで、このような枚置式プラズマCVD装置の生産能力をインライン式プラズマCVD装置と同等以上にするために、成膜速度をインライン式プラズマCVD装置での成膜速度の10倍以上とし、かつ1枚積層する異なる種類の薄膜を同一反応室で連続的に成

膜することが要求される。たとえば上記TFTのゲート絶縁層のSiN₂膜、a-Si膜、チャネル保護層のSiN₂膜を同一反応室で成膜することが必要である。

【0009】通常インライン式プラズマCVD装置では、異なる種類の薄膜は、それぞれ異なる反応室で成膜する。そのため、ガラス絶縁基板の温度は、各薄膜に際した温度に独立に制御することが可能である。

【0010】一方、チャネル保護層は、そのSiN₂膜を成膜したのち、フォトリソグラフィにより弗酸(HF)溶液を用いてエッチング加工するので、同一成分からなるゲート絶縁層のSiN₂膜をエッチングしないように、十分なエッチング選択性をもたせることが必要である。このようなエッチング選択性をもたせるために、従来のインライン式プラズマCVD装置では、チャネル保護層のSiN₂膜を成膜するときのガラス絶縁基板の温度を、ゲート絶縁層のSiN₂膜を成膜するときのガラス絶縁基板の温度よりも50℃程度低くして、速いエッチング速度でチャネル保護層を加工するようにしている。しかし牧葉式プラズマCVD装置により、同一反応室でゲート絶縁層のSiN₂膜、a-Si膜、チャネル保護層のSiN₂膜を連続的に成膜するときには、上記インライン式プラズマCVD装置で成膜するように、ガラス絶縁基板の温度を変えると、生産性が低下する。したがって一定の温度でゲート絶縁層のSiN₂膜、a-Si膜、チャネル保護層のSiN₂膜を成膜しなければならぬ。

【0011】この発明は、上記問題点に鑑みてなされたものであり、プラズマCVD法により同一反応室でゲート絶縁層、半導体活性層およびゲート絶縁層と同一成分のチャネル保護層を成膜しても、チャネル保護層のエッチング加工に対して、十分なエッチング選択性をもたせることができるTFTの製造方法を得ることを目的とする。

【0012】

【課題を解決するための手段】プラズマCVD法によりゲート絶縁層、半導体活性層およびゲート絶縁層と同一成分のチャネル保護層を積層成膜する薄膜トランジスタの製造方法において、ゲート絶縁層、半導体活性層およびチャネル保護層を同一反応室で連続的に積層成膜し、チャネル保護層を成膜するときのガス圧力Pcと放電電圧間隔Dcとの積Pc・Dcをゲート絶縁層を成膜するときのガス圧力Pgと放電電圧間隔Dgとの積Pg・Dgの1.1倍ないし6倍にした。

【0013】また、チャネル保護層を成膜するときのガス圧力Pcをゲート絶縁層を成膜するときのガス圧力Pgよりも0.5 Torrないし4 Torr高くした。

【0014】

【作用】上記のように、チャネル保護層を成膜するときのガス圧力Pcと放電電圧間隔Dcとの積Pc・Dcをゲート絶縁層を成膜するときのガス圧力Pgと放電電圧

間隔Dgとの積Pg・Dgの1.1倍ないし6倍するか、または、チャネル保護層を成膜するときのガス圧力Pcをゲート絶縁層を成膜するときのガス圧力Pgよりも0.5 Torrないし4 Torr高くとると、フォトリソグラフィにより、チャネル保護層をエッチング加工するときのエッチング速度をゲート絶縁層のエッチング速度よりも速くすることができ、それにより、チャネル保護層のエッチング加工するときQ、ゲート絶縁層のエッチングを抑制することができ、十分にエッチングの選択性をもたせることができる。

【0015】

【実施例】以下、図面を参照してこの発明を実施例に引いて説明する。

【0016】図1にその一実施例に係るアクティブマトリクス型液晶表示素子のスイッチング回路ととして用いられるTFTを示す。このTFTは、ガラス絶縁基板1の一面上に形成されたモリブデンタンタル(Mo-Ta)からなる所定形状のゲート電極2と、このゲート電極2を覆うようにガラス絶縁基板1上に形成された開口0.3 μmの酸化シリコン(SiO₂)膜からなる開口1のゲート絶縁層3と、上記ゲート電極2に対応してこのゲート絶縁層3上に形成された開口0.05 μmのSiN₂膜4からなる所定形状の第2のゲート絶縁層5と、このSiN₂膜4上に形成された開口0.06 μmのa-Si膜5からなる所定形状の半導体活性層6と、このa-Si膜5上に形成された開口0.3 μmのSiN₂膜6からなる所定形状のチャネル保護層7と、このチャネル保護層7および上記a-Si膜6上に形成された開口0.05 μmのPドーパシ膜8からなる所定形状の低抵抗半導体層と、このPドーパシ膜8上のソース領域およびドレイン領域にそれぞれ形成されたクロム(Cr)またはアルミニウム(Al)からなるソース電極8およびドレイン電極9と、上記チャネル保護層7、ソース電極8およびドレイン電極9を覆うSiN₂膜からなる絶縁保護膜10とから構成されている。そのソース電極8は、ゲート絶縁層3上に開口形成されたITO(Indium Tin Oxide)からなる開孔3に形成されたITOに接続されている。

【0017】このTFTの製造法、図2(a)に示すように、まずガラス絶縁基板1の一面上にスパッタ法によりMo-Taからなる金属膜を成膜し、フォトリソグラフィによりエッチングして、所定形状のゲート電極2に加工する。つぎにこのゲート電極2の形成されたガラス絶縁基板1を400℃に加温し、常圧CVD法により上記ゲート電極2を覆うようにガラス絶縁層3上に開口0.3 μmのSiO₂膜からなる第1のゲート絶縁層3を成膜する。

【0018】つぎに、後述する牧葉式プラズマCVD装置により、図2(b)に示すように、上記ゲート絶縁層3などの形成されたガラス絶縁基板1を850℃に加温

5

し、プラズマCVD法により、同一反応室で順次ゲート絶縁膜3上に膜厚0.05 μ mのSi₃N₄膜4、膜厚0.3 μ mのa-Si膜5、膜厚0.3 μ mのSi₃N₄膜6を連続的に積層成膜する。つぎにこのSi₃N₄膜6aを成膜されたガラス絶縁基板1を枚葉式プラズマCVD装置から取出し、フォトリソグラフィ法により上記Si₃N₄膜6aをHFを主成分とするエッチング溶液でエッチングして、図2(c)に示すように、所定形状のチャネル保護層6に加工する。

【0019】つぎに、たとえば枚葉式プラズマCVD装置により、上記チャネル保護層6の形成されたガラス絶縁基板1に膜厚0.05 μ mのPドーパ-Si膜7を成膜する。そしてフォトリソグラフィ法によりエッチングして、このPドーパ-Si膜7を所定形状の低抵抗半導体層に加工するとともに、その下層のa-Si膜5およびSi₃N₄膜4をそれぞれ所定形状の半導体活区、ゲート絶縁層に加工する。つぎにこのガラス絶縁基板1にスパッター法によりITOからなる透明導電膜を成膜し、フォトリソグラフィ法によりこの透明導電膜をエッチングして、ゲート絶縁膜3上の所定位置に図素電極11に加工する。

【0020】つぎに上記図素電極11などの形成されたガラス絶縁基板1上に、スパッター法によりCrまたはAlなどからなる金属膜を成膜する。そしてこの金属膜をフォトリソグラフィ法によりエッチングして、図2

(d)に示すように、ソース領域に図素電極10に接続されたソース電極8を形成するとともに、ドレイン領域にドレイン電極9を形成する。その後、フォトリソグラフィ法により、このソース電極8およびドレイン電極9をマスクとして、これら電極8、9間のチャネル領域にあるPドーパ-Si膜7を、図2(e)に示すようにエッチングにより除去する。その後、上記チャネル電極7およびドレイン電極8の形成されたガラス絶縁基板1上に、プラズマCVD法により膜厚0.3 μ mのSi₃N₄膜を成膜し、このSi₃N₄膜をフォトリソグラフィ法によりエッチングして、図1に示したように、ソース電極7、ドレイン電極8およびこれら電極7、8間のチャネル保護層6を回路絶縁保護膜を成膜する。

【0021】図3に、上記図2のゲート絶縁層のSi₃N₄膜、半導体活区層のa-Si膜およびチャネル保護層のSi₃N₄膜の成膜に用いられる枚葉式プラズマCVD装置の一例を示す。この枚葉式プラズマCVD装置は、中央にガラス絶縁基板を搬送する搬送機構が設けられた真空の共通室13を備え、この共通室13を取囲むように、その周囲に4つの反応室14~17と1つの加熱室18と2つの搬出入室19、20とが配設されている。

その各反応室14~17の内には、図4に示すように、高周波電源22に接続された高周波電極23およびこの高周波電極23と対向する接地電極24が配置されている。この接地電極24は、昇降機構25により高周波電極23に対して接離可能となっている。ガラス絶縁基板1は、この接地電極24の高周波電極23との対向面に固定される。またこの接地電極24には、固定されたガラス絶縁基板1を所定温度に加熱するヒーター26が設けられている。また各反応室14~16には、シラン(SiH₄)、水素(H₂)、アンモニア(NH₃)、窒素(N₂)、フォスフィン(PH₃)、塩化窒素(NF₃)、アルゴン(Ar)などの成膜またはクリーニング用ガスを供給するガス供給配管27、および各反応室14~17内を排気するためのルーツブローポンプおよびドライポンプからなる排気配管28が付設されている。一方、共通室13、加熱室18および加熱入室19、20には、それぞれ所定ガスを供給するガス供給配管および排気配管が付設されている。

【0022】この枚葉式プラズマCVD装置による図3のゲート絶縁層のSi₃N₄膜、a-Si膜およびチャネル保護層のSi₃N₄膜の成膜は、ガラス絶縁基板をいづれか一方の搬入室19または20に投入し、共通室13を介して加熱室18に搬送して加熱する。約30分加熱したのち、再び共通室13を介して、たとえば反応室14に搬送する。そしてこの反応室14の対向電極24上でガラス絶縁基板を330℃に加熱し、プラズマCVD法により順次膜厚0.05 μ mのSi₃N₄膜(第2のゲート絶縁膜)、膜厚0.05 μ mのa-Si膜および0.3 μ mのSi₃N₄膜(チャネル保護膜)を積層成膜することによりおこなわれる。

【0023】この場合、同一成分の第2のゲート絶縁膜のSi₃N₄膜およびチャネル保護膜のSi₃N₄膜は、それぞれ表1に示す成膜条件で成膜する。特にゲート絶縁膜のSi₃N₄膜をガス圧力Pg、5Torr、高周波電極23と接地電極との間隔(放電電極間隔)Dg 14mmで成膜するのに対し、チャネル保護膜のSi₃N₄膜をガス圧力Pe 2.5Torr、放電電極間隔De 14mmで成膜し、

$$Pg \cdot Dg = 4.9 \text{ Torr} \cdot \text{cm}$$

$$Pe \cdot De = 6.0 \text{ Torr} \cdot \text{cm}$$

と、チャネル保護膜のSi₃N₄膜を成膜するとともに、そのガス圧力Peと放電電極間隔Deとの積Pg・Deがゲート絶縁膜のSi₃N₄膜を成膜するとともに、そのガス圧力Pgと放電電極間隔Dgとの積Pg・Dgの約1.2倍としている。

【表1】

	ゲート絶縁膜	チャネル保護膜
ガス流量 SI N ₂ (sccm)	400 2000 3000	400 2000 3000
ガス圧力 (Torr)	2.5	2.5
放電電力 (W)	1500	1500
放電電極間隔 (cm)	1.4	2.4

【0024】なお、上記S₁N₂膜（第2のゲート絶縁膜）、a-Si膜およびS₁N₂膜（チャネル保護膜）の成膜されたガラス絶縁基板は、共通室12を経て、いずれか一方の搬出入室18または19から搬出される。

【0025】また、上記枚層式プラズマCVD装置では、他の反応室15〜17も、反応室14と同様に第2のゲート絶縁層のS₁N₂膜、a-Si膜およびチャネル保護層のS₁N₂膜を並列的に成膜する。

【0026】ところで、上記のようにガラス絶縁基板1の温度を一定にして、ゲート絶縁層のS₁N₂膜4と同一成分のチャネル保護層のS₁N₂膜7とを成膜すると、チャネル保護層のS₁N₂膜7を成膜するときのガス圧力P_cと放電電極間隔D_cとの積P_c・D_cを、第2のゲート絶縁層のS₁N₂膜4を成膜するときのガス圧力P_gと放電電極間隔D_gとの積P_g・D_gよりも大きくして成膜すると、図5にS₁N₂膜を成膜するときのガス圧力Pと放電電極間隔Dとの積P・Dとエッチング速度との関係を示すように、フォトリソグラフィ法によりS₁N₂膜7のエッチング速度をS₁N₂膜4のエッチング速度よりも十分に大きくすることができる。したがって上記のように成膜したのち、フォトリソグラフィ法によりS₁N₂膜7をHFを主成分とするエッチング溶液によりエッチングしても、S₁N₂膜4のエッチングを抑制して、所要のチャネル保護層に加工することができる。

【0027】なお、上記実施例では、チャネル保護層のS₁N₂膜7を成膜するときのガス圧力P_cと放電電極間隔D_cとの積P_c・D_cを、第2のゲート絶縁層のS₁N₂膜4を成膜するときのガス圧力P_gと放電電極間隔D_gとの積P_g・D_gの約1.2倍としたが、このP_c・D_cとP_g・D_gとの関係は、P_c・D_cをP_g・D_gの1.1倍ないし6倍の範囲にすることにより、その結果得られるエッチング速度差により、フォトリソグラフィ法によりS₁N₂膜7をエッチングすると、S₁N₂膜4のエッチングを抑制して、所要のチャネル保護層に加工することができる。

【0028】つぎに他の実施例について説明する。

【0029】上記実施例では、枚層式プラズマCVD装置により所定温度に加熱されたガラス絶縁基板にチャネル保護層のS₁N₂膜を成膜するときのガス圧力P_cと放電電極間隔D_cとの積P_c・D_cを、第2のゲート絶縁層のS₁N₂膜を成膜するときのガス圧力P_gと放電電極間隔D_gとの積P_g・D_gよりも大きくして、同一温度で成膜したが、これらチャネル保護層のS₁N₂膜および第2のゲート絶縁層のS₁N₂膜は、図2に示すように、ゲート絶縁層のS₁N₂膜を成膜するときの放電電極間隔D_gおよびチャネル保護層のS₁N₂膜を成膜するときの放電電極間隔D_cをともに2.4mmと一定にし、ゲート絶縁層のS₁N₂膜を成膜するときのガス圧力P_gを1.5Torr、チャネル保護層のS₁N₂膜を成膜するときのガス圧力P_cを2.5Torrと大きくするだけで、チャネル保護層のS₁N₂膜のエッチング速度を第2のゲート絶縁層のS₁N₂膜のエッチング速度よりも大きくすることができ、成膜後、フォトリソグラフィ法によりチャネル保護層のS₁N₂膜7をエッチングすると、第2のゲート絶縁層のS₁N₂膜4のエッチングを抑制して、所要のチャネル保護層に加工することができる。

【0030】
【図2】

	ゲート絶縁層	チャネル保護層
ガス流量 S I H (ccm) N H N	400 2000 3000	400 2000 3000
ガス圧力 (Torr)	1.5	2.5
放電電力 (W)	1500	1500
放電電極間隔 (mm)	24	24

【0031】なお、上記実施例では、

$P_c - P_g = 2.5 \text{ Torr} - 1.5 \text{ Torr}$
 $= 1 \text{ Torr}$

と、チャネル保護層の S I N_x 膜を成膜するときのガス圧力 P_c を第2のゲート絶縁層の S I N_x 膜を成膜するときのガス圧力 P_g よりも 1 Torr 高くしたが、この S I N_x 膜を成膜するときのガス圧力とエッチング速度とは、図6に示す関係にあり、チャネル保護層の S I N_x 膜を成膜するときのガス圧力 P_c を第2のゲート絶縁層の S I N_x 膜を成膜するときのガス圧力 P_g よりも 0.05 Torr ないし 4 Torr 高くすることにより、その結果得られるエッチング速度により、フォトリソグラフィ法によりチャネル保護層の S I N_x 膜をエッチングするとき、第2のゲート絶縁層の S I N_x 膜のエッチングを抑制して、所要のチャネル保護層に加工することができる。

【0032】なお、上記各実施例では、アクティブマトリックス型液晶表示素子の TFT について説明したが、この発明は、a-Si 系の密着センサーにも適用可能である。

【0033】

【発明の効果】プラズマ CVD 法によりゲート絶縁層、半導体活性層、ゲート絶縁層と同一成分のチャネル保護層を順次積層成膜する薄膜トランジスタの製造方法において、チャネル保護層を成膜するときのガス圧力 P_c と放電電極間隔 D_c との積 $P_c \cdot D_c$ をゲート絶縁層を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 $P_g \cdot D_g$ の 1.1 倍ないし 6 倍するか、または、チャネル保護層を成膜するときのガス圧力 P_c をゲート絶縁層を成膜するときのガス圧力 P_g よりも 0.5 Torr ないし 4 Torr 高くすると、フォトリソグラフィ法により、デ

20 チャネル保護層をエッチング加工するときのエッチング速度をゲート絶縁層のそれよりも速くすることができる。それにより、チャネル保護層をエッチング加工するとき、ゲート絶縁層のエッチングを抑制して、十分にエッチングの選択性を確保することができる。したがって上記のようにすることにより、ゲート絶縁層、半導体活性層、ゲート絶縁層と同一成分のチャネル保護層を同一反応室で成膜しても、所要の薄膜トランジスタを製造することができる。その生産性を向上させることができる。

【図面の簡単な説明】

30 【図1】この発明の一実施例に係るアクティブマトリックス型液晶表示素子のスイッチング素子として用いられる薄膜トランジスタの構成を示す図である。

【図2】図2(a)ないし(c)はそれぞれ上記薄膜トランジスタの製造方法を説明するための図である。

【図3】この発明の一実施例に係る成膜式プラズマ CVD 装置の構成を示す図である。

【図4】上記成膜式プラズマ CVD 装置の反応室の構成を示す図である。

【図5】プラズマ CVD 法により酸化シリコン膜を成膜するときのガス圧力と電極間隔との積とエッチング速度との関係を示す図である。

【図6】プラズマ CVD 法により酸化シリコン膜を成膜するときのガス圧力とエッチング速度との関係を示す図である。

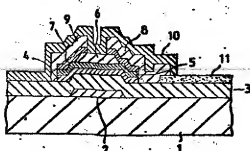
【符号の説明】

- 1…ガラス絶縁基板
- 2…ゲート電極
- 3…第1のゲート絶縁層
- 4…第2のゲート絶縁層
- 5…非晶質シリコン膜(半導体活性層)

11

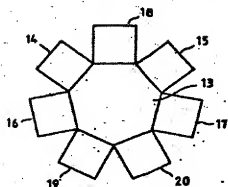
- 6…チャネル保護膜
7…溝ドープ非晶質シリコン膜（低抵抗半導体膜）
8…ソース電極

【図1】



- 3: 第1のシリコン膜
4: 第2のシリコン膜
5: 非晶質シリコン膜
6: チャネル保護膜

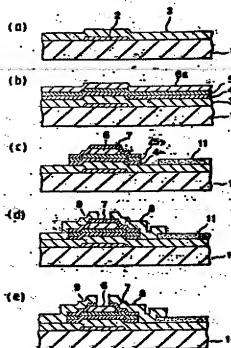
【図3】



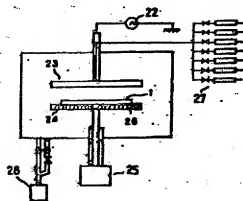
12

- 9…トレン電極
10…絶縁保護膜
11…面素電極

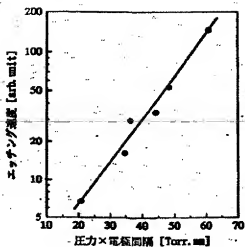
【図2】



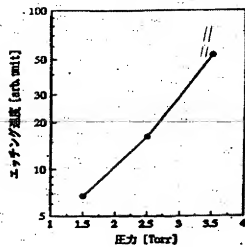
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.